

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: G11F 7/00

(11) Publication No.: P2000-0003905

(43) Publication Date: 25 February 2000

(21) Application No.: 10-1998-0014241

(22) Application Date: 30 July 1998

(71) Applicant:

Hyundai Electronics Industries Co. Ltd.

(72) Inventor:

Jae Hyeon, Kim

(54) Title of the Invention:

Supply voltage compensation circuit of input/output buffer

Abstract:

There is provided a supply voltage compensation circuit comprising a supply voltage compensator including a buffer for generating data values in response to a pull-up signal and a pull-down signal; an input/output terminal for applying the data values of the buffer to a data input/output circuit; a first transistor whose gate is connected to a line connecting the buffer and the input/output terminal, supplying a half voltage, to prevent the supply voltage from falling down; a second transistor whose gate is connected to an output of the first transistor, connected between the line and a ground; a third transistor whose gate is connected to the pull-up signal, connected between the ground and a line connecting the first transistor and the second transistor. When a negative voltage V_i is input while the circuit operates by a supply voltage V_{cc} , the supply voltage compensator forms a current path between a ground voltage terminal and a data input terminal to prevent the supply voltage V_{cc} from falling down below a minimum driving voltage of the circuit. Therefore, it is possible to prevent the supply voltage V_{cc} from falling down due to the negative voltage V_i upon data writing, thereby enhancing operation margin of the circuit.

(19) 대한민국특허청(KR)
(12) 공개실용신안공보(U)

(51) Int. Cl.⁶ (11) 공개번호 실2000-0003905
G11C 7/00 (43) 공개일자 2000년02월25일

(21) 출원번호 20-1998-0014241
(22) 출원일자 1998년07월30일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 고안자 김재현
경기도 고양시 덕양구 관산동 904
(74) 대리인 박대진, 이은경, 정은섭

심사청구 : 있음

(54) 입/출력 버퍼의 전원 전압 강하 보상회로

요약

본 고안은 입/출력 버퍼의 전원 전압 강하 보상회로에 관한 것으로, 특히 이회로는 풀업 신호와 풀다운 신호에 응답하여 데이터 값을 발생하는 버퍼와, 상기 버퍼의 데이터값을 데이터 입력회로/출력회로에 인가하기 위한 입/출력단과, 전원 전압의 강하를 방지하기 위해 상기 버퍼와 입/출력단 사이를 연결하는 라인에 게이트가 연결되며 하프 전압을 공급하는 제 1 트랜지스터, 제 1 트랜지스터의 출력에 게이트가 연결되며 상기 라인과 접지 사이에 연결된 제 2 트랜지스터, 상기 풀업 신호에 게이트가 연결되며 제 1 트랜지스터와 제 2 트랜지스터의 연결 라인과 접지 사이에 연결된 제 3 트랜지스터를 가지는 전원 전압 보상부를 구비한다. 본 고안에 의하면, 디바이스가 저전위의 전원(Vcc)에서 동작해야할 때 데이터 입력단으로 음전압 V_{in}이 입력되면 전원 전압 보상부는 구동 전원(Vcc)의 레벨이 강하되어 디바이스의 저전압 한계보다 낮아지는 것을 방지하도록 접지 전압 단자와 데이터 입력단에 전류 패스를 형성한다. 그러므로, 본 고안은 데이터 기록시 음전압 V_{in}에 따른 전원 전압의 강하 현상이 없어져 디바이스 동작 마진을 높일 수 있다.

도면

도 1

도 2a

도 2b의 등가 회로

도 1은 통상적인 입/출력 버퍼를 나타낸 회로도.

도 2a는 데이터 기록시 도 1에 도시된 A'의 트랜지스터 기생 전류 패스를 설명하기 위한 반도체 장치의 수직 단면도.

도 2b는 도 2a의 등가 회로도를 나타낸 도면.

도 3은 본 고안에 따른 입/출력 버퍼의 전원 전압 강하 보상회로를 나타낸 회로도.

도면의 주요 부분에 대한 부호의 설명

10: 입력단

20: 입력 버퍼

30: 데이터 입력 회로

40: 전원 전압 보상부

고안의 상세한 설명

고안의 목적

고안이 속하는 기술 분야 및 본 고안의 종래기술

본 고안은 입력 버퍼 및 출력 버퍼를 구비한 반도체장치에 관한 것으로서, 특히 상기 버퍼들 중에서 어느 한 버퍼로부터 출력되는 입력 신호의 레벨중 가장 낮게 인식할 수 있는 전압인 V_{in}을 개선하여 디바이스의 동작 마진을 향상시킬 수 있는 입/출력 버퍼의 전원 전압 강하 보상회로에 관한 것이다.

현재 반도체 장치는 고집적화됨에 따라 소자 크기가 축소되어서 이를 소자 특성으로 인해 다른 소자에 전

가적인 영향을 미치는 경우가 종종 있다.

도 1은 통상적인 입/출력 버퍼를 나타낸 회로도로서, 이 회로도에는 풀업 신호(Vpu)와 풀다운 신호(Vpd)에 응답하여 데이터 값을 발생하도록 전원 전압(Vcc)과 접지 전압 단자 사이에 직렬로 연결된 제 1 및 제 2 엔모스 트랜지스터(Tr1, Tr2)를 가지는 입/출력 버퍼(10)와, 상기 버퍼(10)의 데이터값을 데이터 입력 회로/출력회로(30)에 인가하기 위한 입/출력단(20)이 도시되어 있다.

데이터 독출시 입/출력 버퍼(10)는 풀업 신호(Vpu)와 풀다운 신호(Vpd)에 응답하여 해당 데이터 값 '1' 또는 '0'을 발생하여 입/출력단(20)에 출력한다. 즉, 데이터 값 '1'을 얻기 위해서는 제 1 엔모스 트랜지스터(Tr1)가 턴온되고 제 2 엔모스 트랜지스터(Tr2)가 턴오프되어 전원 전압(Vcc)에 따른 하이레벨의 전압을 출력하는 반면에, 데이터 값 '0'을 얻기 위해서는 제 1 엔모스 트랜지스터(Tr1)가 턴오프되고 제 2 엔모스 트랜지스터(Tr2)가 턴온되어 접지 전압에 따른 로우 레벨의 압을 출력한다.

한편, 데이터 기록시에는 풀업 신호(Vpu)와 풀다운 신호(Vpd)가 모두 로우레벨로 입력되기 때문에 입/출력 버퍼(10)가 동작되지 않으며 다음과 같은 디바이스의 오동작을 발생한다.

도 2a는 데이터 기록시 도 1에 도시된 A'의 트랜지스터 기생 전류 패스를 설명하기 위한 반도체 장치의 수직 단면도이며, 도 2b는 도 2a의 등가 회로도를 나타낸 도면이다.

데이터 입/출력단(20)에 입력 신호 중 로우 레벨의 Vili(디바이스가 입력 로레벨중 가장 낮게 인식할 수 있는 전압)이 음전압으로 가해지면 도 2b에 나타난 바와 같이 제 1 엔모스 트랜지스터 부위에는 기생 전류 패스가 형성된다. 즉, 기판(2)의 P웰(4) 내에 형성된 제 1 엔모스 트랜지스터의 드레인(8d)과 소스(8s) 및 P웰(4)은 NPN 바이폴라 트랜지스터(Tr)의 접합 영역(b, a, d)을 구성하게 된다.

그리고, 상기 엔모스 트랜지스터는 도 2a에 나타난 바와 같이 드레인(8d) 영역과 소정 거리 이격된 부위의 P웰(4) 근방에 p+ 불순물이 주입되며 접지 전압(Vs)이 인가되는 픽업 웰(9)과 데이터 입/출력단(20) 사이의 거리가 드레인(8d)과 데이터 입/출력단(20)의 거리보다 멀기 때문에 데이터 입력단(20)에 인가되는 Vili 전압이 -1V 정도이면 그 전압 크기가 NPN 바이폴라 트랜지스터(Tr)의 문턱 전압보다 크다. 이에 따라 픽업 웰(9)에서 소스(8s) 방향으로 형성되는 전류 패스(1b) 대신에 드레인(8d)에서 소스(8s) 방향으로 형성되는 전류 패스(1a)가 발생하게 되어 드레인(8d)에 인가되는 전원 전압(Vcc)의 크기가 소정 전압 레벨로 강해진다.

그러므로, 디바이스가 저전위의 전원(Vcc)에서 동작해야할 때 음전압 Vili이 데이터 입력단으로 입력되면 구동 전원(Vcc)의 레벨이 강해져서 디바이스의 저전압 한계보다 낮아져 디바이스의 상태가 불량하게 된다. 즉, 데이터 입력단의 Vili 전압이 음전압쪽으로 내려가는 마진이 적어져 디바이스의 동작 마진이 감소되는 문제점이 있었다.

고안이 이루고자하는 기술적 과제

본 고안의 목적은 상기와 같은 문제점을 해결하기 위하여 데이터 기록시 입/출력단의 음전압의 레벨에 따라 버퍼를 구성하는 트랜지스터의 전원 전압 레벨이 강화되는 현상을 보상함으로써 디바이스의 동작 마진을 크게 향상시킬 수 있는 입/출력 버퍼의 전원 전압 강화 보상회로를 제공하는데 있다.

고안의 구성 및 작용

상기 목적을 달성하기 위하여 본 고안에 따른 입/출력 버퍼의 전원 전압 강화 보상회로는 풀업 신호와 풀다운 신호에 응답하여 데이터 값을 발생하는 버퍼와, 상기 버퍼의 데이터값을 데이터 입력회로/출력회로에 인가하기 위한 입/출력단과, 전원 전압의 강화를 방지하기 위해 상기 버퍼와 입/출력단 사이를 연결하는 라인에 게이트가 연결되며 하프 전압을 공급하는 제 1 트랜지스터, 제 1 트랜지스터의 출력에 게이트가 연결되며 상기 라인과 접지 사이에 연결된 제 2 트랜지스터, 상기 풀업 신호에 게이트가 연결되며 제 1 트랜지스터와 제 2 트랜지스터의 연결 라인과 접지 사이에 연결된 제 3 트랜지스터를 가지는 전원 전압 보상부를 구비하는 것을 특징으로 한다.

이하, 첨부한 도면을 첨부하여 본 고안을 상세하게 설명하고자 한다.

도 3은 본 고안에 따른 입/출력 버퍼의 전원 전압 강화 보상회로를 나타낸 회로도이다.

도 3을 참조하여 보면, 본 고안은 풀업 신호(Vpu)와 풀다운 신호(Vpd)에 응답하여 데이터 값을 발생하며 전원 전압(Vcc) 및 접지 전압(Vss) 단자 사이에 직렬로 연결된 제 1 엔모스 트랜지스터(Tr1), 제 2 엔모스 트랜지스터(Tr2)를 가지는 버퍼(10)와, 상기 버퍼(10)의 데이터값을 데이터 입력회로/출력회로(30)에 인가하기 위한 입/출력단(20)과, 구동 전압인 전원 전압(Vcc)의 강화를 방지하기 위해 상기 버퍼(10)와 입/출력단(20) 사이를 연결하는 라인에 게이트가 연결되며 하프 전압(1/2Vcc)을 공급하는 제 1 트랜지스터(Tr5), 제 1 트랜지스터(Tr5)의 출력에 게이트가 연결되며 상기 라인과 접지 사이에 연결된 제 2 트랜지스터(Tr3), 상기 풀업 신호(Vpu)에 게이트가 연결되며 제 1 트랜지스터(Tr5)와 제 2 트랜지스터(Tr3)의 연결 라인과 접지 사이에 연결된 제 3 트랜지스터(Tr4)를 가지는 전원 전압 보상부(40)로 구성된다.

여기서, 제 1 트랜지스터(Tr5)는 피모스 트랜지스터, 제 2 및 제 3 트랜지스터(Tr3, Tr4)는 엔모스 트랜지스터를 사용한다.

상기와 같이 구성된 본 고안의 데이터 입/출력 버퍼는 데이터 기록시 풀업 신호(Vpu)와 풀다운 신호(Vpd)가 로우레벨로 입력된다. 이때 로우 레벨('0')의 데이터를 기록할 때 데이터 입력단(20)으로 Vili이 0V 전위보다 낮은 음전압이 인가되면 제 1 트랜지스터(Tr5)의 게이트 소스간 전압은 문턱 전압보다 크기 때문에 턴온되어서 1/2 Vcc를 제 2 트랜지스터(Tr3)의 게이트에 인가시키고, 이에 제 2 트랜지스터(Tr3)가 턴온된다. 그러면 제 2 트랜지스터(Tr3) 소스에서 데이터 입력단(20)으로 전류 경로(3)가 발생하게 되어 버퍼를 구성하는 제 1 엔모스 트랜지스터(Tr1)의 전원 전압(Vcc) 강화 현상을 방지할 수 있다.

또한, 정상적인 로우 레벨(0V)의 입력 신호가 입력단(20)으로 입력되면 제 1 트랜지스터(Tr5)와 제 2 트

랜지스터(Tr_3)가 모두 턴오프되어서 데이터 입력단(20)으로부터 제 2 트랜지스터(Tr_3)의 접지로 전류가 흐른다. 이 때는, '0' 데이터 기록때보다 확실하게 데이터를 기록할 수 있다.

반면에 데이터 '1'을 기록하고자 데이터 입력단(20)에 고전압의 레벨이 입력되면 제 1 트랜지스터(Tr_5)는 턴오프되고, 제 2 트랜지스터(Tr_3) 또한 턴오프된다. 데이터 입력단(20)의 전압은 레벨 변동이 없으며, 디바이스의 데이터 기록을 안전하게 수행한다. 또한, 제 1 트랜지스터(Tr_5)의 문턱 전압이 약 0.7V 이므로 입력단(20)에 인가되는 하이 레벨의 전압을 0.8V까지 내려도 디바이스의 동작에는 아무런 영향을 끼치지 않는다.

데이터 독출시 입/출력 버퍼(10)는 풀업 신호(V_{pu})와 풀다운 신호(V_{pd})에 응답하여 데이터 값 '1'과 '0'을 발생하여 입/출력단(20)에 출력한다. 데이터 값 '0'을 얻기 위해서는 풀다운 신호(V_{pd})가 $V_{cc}+V_t$ 으로 승압된 하이레벨, 풀업 신호(V_{pu})가 로우레벨을 발생하고, 이에 제 2 엔모스 트랜지스터(Tr_2)가 턴오프되어 데이터 출력단(20)에 로우 레벨의 데이터 값 '0'을 출력한다. 이는 종래 기술의 입/출력 버퍼와 동일한 동작을 수행하는 것이다.

반면에 데이터 값 '1'을 얻기 위해서는 풀업 신호(V_{pu})가 $V_{cc}+V_t$ 으로 승압된 하이레벨, 풀다운 신호(V_{pd})가 로우레벨을 발생한다. 이에 버퍼(10)의 제 1 엔모스 트랜지스터(Tr_1)가 턴오프되고 제 2 엔모스 트랜지스터(Tr_2)가 턴오프되어 데이터 출력단(20)에 하이 레벨의 데이터 값 '1'을 출력한다. 이때 전원 전압 보상부(40)는 풀업 신호(V_{pu})에 의해 제 3 트랜지스터(Tr_4)가 턴오프되어 제 1 및 제 2 트랜지스터(Tr_5, Tr_3)에 걸리는 전압 레벨을 접지 전압으로 유지한다.

고안의 효과

따라서, 본 고안에 의하면 입/출력 버퍼를 구비하는 반도체 회로의 경우에 디바이스가 저전위의 전원(V_{cc})에서 동작해야 할 때 음전압 V_{ii} 이 데이터 입력단으로 입력되면 전원 전압 보상부는 구동 전원(V_{cc})의 레벨이 강하되어 디바이스의 저전압(low) 한계보다 낮아지는 것을 방지하도록 접지 전압 단자와 데이터 입력단에 전류 패스를 형성한다.

그러므로, 데이터 기록시 음전압 V_{ii} 에 따른 전원 전압의 강하 현상이 없어져 디바이스 상태를 양호하게 하며, 디바이스의 동작 마진을 크게 향상시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1. 풀업 신호와 풀다운 신호에 응답하여 데이터 값을 발생하는 버퍼;

상기 버퍼의 데이터값을 데이터 입력회로/출력회로에 인가하기 위한 입/출력 단; 및

전원 전압의 강하를 방지하기 위해 상기 버퍼와 입/출력단 사이를 연결하는 라인에 게이트가 연결되며 하프 전압을 공급하는 제 1 트랜지스터, 제 1 트랜지스터의 출력에 게이트가 연결되며 상기 라인과 접지 사이에 연결된 제 2 트랜지스터, 상기 풀업 신호에 게이트가 연결되며 제 1 트랜지스터와 제 2 트랜지스터의 연결 라인과 접지 사이에 연결된 제 3 트랜지스터를 가지는 전원 전압 보상부를 구비하는 것을 특징으로 하는 입/출력 버퍼의 전원 전압 강하 보상회로.

청구항 2. 제 1항에 있어서, 상기 전원 전압 보상부의 제 1 트랜지스터는 피모스 트랜지스터이며, 제 2 및 제 3 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 하는 입/출력 버퍼의 전원 전압 강하 보상회로.

도면

도면1



